

中華民國專利公報 (19)(12)

(11)公告編號: 289843

(44)中華民國85年(1996)11月01日

發明

全 5 頁

(51) Int. Cl. 5: H01L21/31

(54)名 稱: 經由穿過矽化物區植入接觸區而形成之新的矽氧化絕緣實接體

(21)申請案號: 85100879

(22)申請日期: 中華民國85年(1996)01月25日

(72)發明人:

徐清祥
莊紹煦
王是琦
梁孟板

新竹市建中路一〇〇之二十八號
新竹市高峰路四七一號
台中市錦南街四十之五號十四樓
台北市中山區中山北路二段一一六巷九號五樓

(71)申請人:

台灣積體電路製造股份有限公司

新竹科學工業園區園區三路一二一號

(74)代理人: 林銓珠 先生

1

2

[57]申請專利範圍:

1. 一種形成具有一實接體 (body contact) 之矽氧化絕緣 (silicon-on-insulator, SOI) 結構之半導體元件的方法, 該方法包括:
提供一矽氧化絕緣基片為起始材料之步驟;
在該矽氧化絕緣基片上形成一隔離區 (isolator) 之步驟;
該矽氧化絕緣基片上形成一閘極氧化層 (gate oxide) 之步驟;
在該閘極氧化層上形成一複晶矽閘極之步驟;
以N⁻離子佈植 (implant) 於矽氧化絕緣基片上以形成淺摻雜區 (lightly doped drain, LDD) 之步驟;
在閘極兩側邊形成側壁層 (spacer) 之步驟;
以光阻遮蔽該矽氧化絕緣基片之一第二側, 並以N⁺離子佈植於該矽氧化絕緣基片之一第一側之步驟;
以高溫驅入 (drive-in) 處理將佈植於該

5. 矽氧化絕緣基片第一側的N⁺離子作一深層驅入以形成一N⁺汲極, 而在被遮蔽之第二側則成為一N⁻源極之步驟;
以鈦矽化物的自動對準 (self-aligned silicide) 方式在閘極上及淺摻雜區中形成一鈦矽化物層之步驟;
形成一介電質層 (dielectric) 於整個元件之上之步驟;
以光罩蝕刻方式於該介電質層上開出接觸區窗口之步驟;
10. 以光阻遮蔽該矽氧化絕緣基片第一側之接觸區窗口, 並以P⁺離子佈植於該矽氧化絕緣基片區之第二側上之步驟; 及
15. 以快速熱處理 (rapid thermal anneal, RTA) 來活化 (activate) 通過該矽氧化基片第二側之接觸區窗口被植入於矽氧化基片中的離子以形成一P⁺接觸區之步驟。
2. 如申請專利範圍第1項所述之方法, 其中該矽氧化絕緣基片包括了一半導體層 (bulk Si), 一埋入氧化層 (buried
- 20.

oxide)及一P型單晶矽基質層(P-Si substrate)。

3. 如申請專利範圍第1項所述之方法，其中將N⁺離子佈植於作用區的第一側之步驟進一步包括了：
在佈植N⁺離子之前以光阻遮蔽該矽氧化絕緣基片之第二側邊；及
在佈植N⁺離子之後移除該光阻等步驟。
4. 如申請專利範圍第1項所述之方法，其中該離子驅入之步驟為一熱循環處理(thermo cycle)。
5. 如申請專利範圍第1項所述之方法，其中該以鈦矽化物自動對準方式形成鈦矽化物之步驟進一步包括了：
鈦金屬的沉積(Ti deposition)；
快速熱處理(rapid thermo anneal, RTA)，僅令覆蓋在閘極及淺摻雜區上之鈦反應轉變為矽化鈦；及
將未反應之鈦金屬去除等步驟。
6. 如申請專利範圍第1項所述之方法，其中該P⁺離子佈植之步驟進一步包括了：
在佈植P⁺離子之前以光阻遮蔽之該矽氧化絕緣基片第一側；及
在佈植P⁺離子之後移除該光阻等步驟。
7. 一種包含實接體(body contact)之該矽氧化絕緣基片(silicon-on-insulator, SOI)半導體元件結構，該元件包括了：
一矽半導體層；
一形成於該矽半導體層之上之埋入氧化層；
一形成於該埋入氧化層之上之P型單晶矽層；

形成於該P型單晶矽層兩側之隔離區；

- 一形成於該P型單晶矽層中央部位之上之閘極氧化層；
5. 一形成於該閘極氧化層之上之複晶矽閘極；
以N⁺離子佈植於P型單晶矽層所形成之淺摻雜區；
形成於該閘極兩側之側壁層(spacer)；
以N⁺離子佈植於P型單晶矽層之一第一側並經驅入(drive-in)處理所形成之N⁺汲極區，而在該P型單晶矽層之一第二側則為一N⁺源極區；
10. 經鈦矽化物自動對準處理而形成於淺摻雜區的一部分上之鈦矽化物區；
一覆蓋於整個元件之上且在鈦矽化物區處形成有接觸區窗口之介電質層(inter-level dielectric)；及
20. 在該P型單晶矽層之一第二側的接觸區中以P⁺離子佈植所形成之一P⁺接觸區。

圖示簡單說明：

- 第1圖為傳統互補式金氧半(CMOS)元件之剖面圖；
25. 第2A圖為一般矽氧化絕緣(silicon-on-insulator, SOI)結構之半導體元件之一剖面圖；
第2B圖為一般SOI結構之場效電晶體之特性曲線，其顯示出因虛接體(body floating)所造成之電晶體性能不穩定之不良影響；
30. 第3圖至第7圖為本發明之SOI結構之半導體元件在製造過程中的剖面圖；及
35. 第8圖為本發明之SOI結構之半導體元件的一頂視圖。

(3)

4

型單晶矽層兩側之側壁

型P型單晶矽層中央形成之
化層；

間極氧化層之上之矽晶粒

植於P型單晶矽層中之側

間極兩側之側壁

植於P型單晶矽層之

入(drive-in)處理時，
而在該P型單晶矽層

N⁺源極區；

自動對準處理而形成

3分之二之鈦矽化物區，

元件之上且在鈦矽

接觸區窗口之介電質

(electric)；及

矽層之一第二個的

佈植所形成之一P⁺接

補式金氧半(CMOS)

矽氧化絕緣(silicon

)結構之半導體元件

SOI結構之場效電晶體

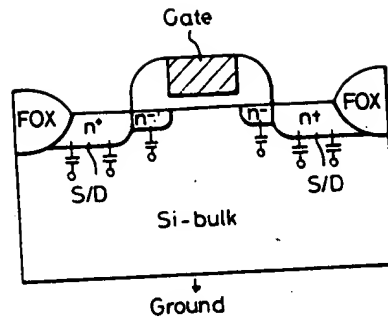
顯示出因虛接體(body

電晶體性能不穩定。

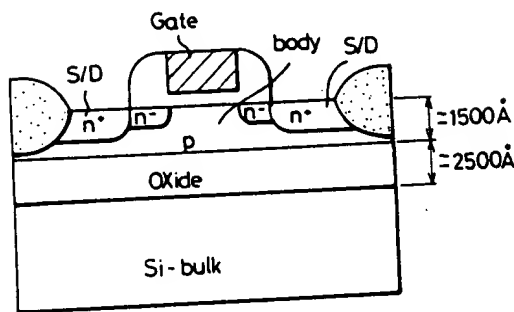
本發明之SOI結構的

過程中的剖面圖；及

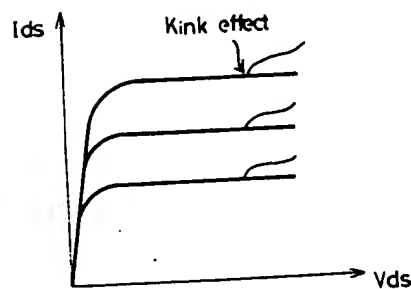
SOI結構的半導體元



第一圖

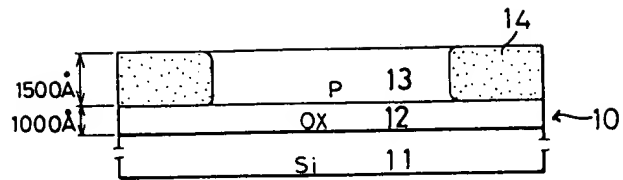


第二A圖

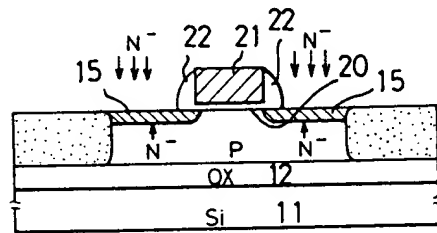


第二B圖

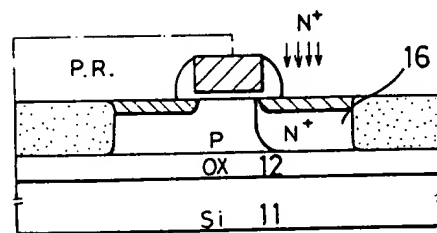
(4)



第三圖

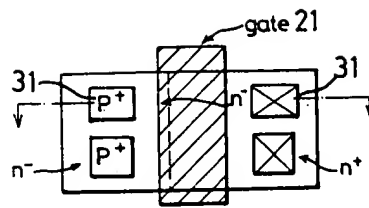


第四圖

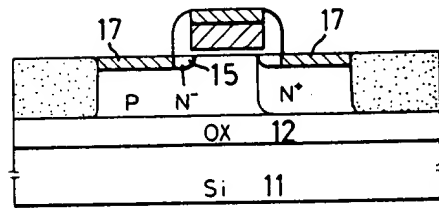


第五圖

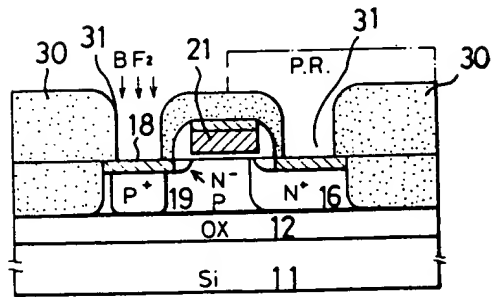
(5)



第八圖



第六圖



第七圖

DERWENT-ACC-NO: 1997-107102
DERWENT-WEEK: 199710
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Forming SOI body contact of semiconductor device - through a series of steps including forming insulator layer on SOI substrate, forming gate oxide, forming poly:silicon@ gate, implanting N ions, forming spacers, etc.

INVENTOR: JUANG, S; LIANG, M ; SHYU, C ; WANG, S

PATENT-ASSIGNEE: TAIWAN SEMICONDUCTOR MFG CO LTD [TASEN]

PRIORITY-DATA:
1996TW-0100879 (January 25, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
TW 289843 A	November 1, 1996	N/A	018	H01L 021/31

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
TW 289843A	N/A	1996TW-0100879	January 25, 1996

INT-CL (IPC): H01L021/31
ABSTRACTED-PUB-NO: TW 289843A

BASIC-ABSTRACT:

A method for forming a SOI body contact of a semiconductor comprises: (a) providing the SOI substrate; (b) forming an insulator layer on the SOI substrate; (c) forming a gate oxide on the SOI substrate; (d) forming a polysilicon gate on the gate oxide; (e) implanting N-ions into the SOI substrate to form LDD; (f) forming spacers on both sides of the gate; (g) screening the second side of the SOI substrate by PR, and implanting N+ ions into the first side of the SOI substrate; (h) forming an N+ drain and a N-source by a high temp. drive-in process; (i) forming a Ti-silicide layer on the gate and LDD by self-aligned Ti-silicide; (j) forming a layer of dielectric on the whole device; (k) opening the contact on the dielectric layer by mask etching; (l) screening the first side contact of the SOI substrate by PR and implanting P+ ions into the second side of the SOI substrate; and (m) forming a

P+ contact region by rapid thermal annealing (RTA).

CHOSEN-DRAWING: Dwg.7/7

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C02B; L04-C10B; L04-C12A; L04-C12C;

EPI-CODES: U11-C08A6;